

# Roadmap Intel: processi produttivi, transistor e packaging fino al 2025

Categoria: Articoli - Ultima modifica: Giovedì, 29 Luglio 2021 09:34

Pubblicato: Giovedì, 29 Luglio 2021 09:32

Scritto da Guido Azzollini

Intel presenta il suo piano per tornare alla leadership della produzione di processori entro il 2025. Prima mossa: scompaginare le attuali convenzioni sui nomi dei process node.

[Intel](#) è rimasta inchiodata per anni sui 14nm e quando, finalmente, è riuscita a scavallare ai 10nm era davvero troppo tardi: i concorrenti producevano già a 7nm e 5nm facendo traballare la sua leadership decennale. Intendiamoci: **Intel** resta una protagonista indiscussa ed ha un'enorme potenza economica e tecnologica ma nel giro di pochi anni è riuscita a dilapidare un vantaggio che si riteneva incolmabile permettendo ai concorrenti di recuperare il distacco. Il nuovo CEO Pat Gelsinger ha il difficile compito di raddrizzare la barra e di riportare Intel ai suoi fasti.

È un obiettivo ambizioso che **impone scelte strategiche decisamente audaci**. Sembra proprio questa la direzione intrapresa da Pat Gelsinger che, nel keynote dell'evento Intel Accelerated, illustra le tappe del piano per **riportare il chipmaker californiano al vertice delle tecniche di produzione entro il 2025**. Già a marzo 2021 erano stati presentati a grandi linee gli elementi di questo **piano chiamato IDM 2.0** per sottolineare che si tratta di un importante avanzamento del modello di "Integrated Device Manufacturing" della Casa di Santa Clara e che consistono in:

- Sviluppo di infrastrutture proprietarie per la produzione con litografia 7nm EUV (i primi processori saranno gli [Intel Meteor Lake](#));
- Maggiore ricorso a fonderie partner, prima fra tutte TSMC, per integrare le proprie capacità produttive;
- Creazione della business unit Intel Foundry Services (IFS) dedicata alla produzione di chip x86, ARM e RISC-V per conto di aziende americane ed europee.

# Roadmap Intel: processi produttivi, transistor e packaging fino al 2025

Categoria: Articoli - Ultima modifica: Giovedì, 29 Luglio 2021 09:34

Pubblicato: Giovedì, 29 Luglio 2021 09:32

Scritto da Guido Azzollini



L'investimento iniziale è di 20 miliardi di dollari e si focalizza principalmente sulla creazione di due nuove fonderie (fab) in Arizona. Insomma, visto così, il piano di dominio di Intel sembra abbastanza **lineare**: mentre ammoderna o crea nuovi impianti per adeguarsi agli ultimi processi litografici, esternalizza la produzione che richiede tecnologie più evolute a fonderie partner come TSMC e cerca di raccogliere i fondi necessari producendo chip per conto terzi sui suoi vecchi impianti.

Ad una occhiata più attenta emerge però un **profilo inquietante**: le fonderie, le fabbriche che materialmente realizzano i wafer di silicio dei processori, hanno assunto un ruolo di importanza fondamentale nello scacchiere geopolitico e sono diventate asset strategici per l'egemonia tecnologica. È questa la chiave di lettura che permette di interpretare tutti gli ultimi eventi di cronaca nel settore dei microchip: il bando americano alle aziende cinesi che ha bloccato l'accesso alle linee di produzione coreane e taiwanesi, la corsa della Cina ad "armarsi" di IP e fonderie in autarchia, gli investimenti di Intel per la creazione di nuove fab sul territorio americano e l'apertura degli Intel Foundry Services solo a partner occidentali.

Lasciando questo spunto all'approfondimento degli analisti, in questo articolo ci focalizziamo sulla **roadmap di Intel** per riguadagnare *"la leadership tecnologica entro il 2025"* intesa non solo come performance di picco ma anche e soprattutto come performance per watt. E per avvicinare almeno idealmente Intel al suo ambizioso traguardo cosa c'è di meglio di un po' di

# Roadmap Intel: processi produttivi, transistor e packaging fino al 2025

Categoria: Articoli - Ultima modifica: Giovedì, 29 Luglio 2021 09:34

Pubblicato: Giovedì, 29 Luglio 2021 09:32

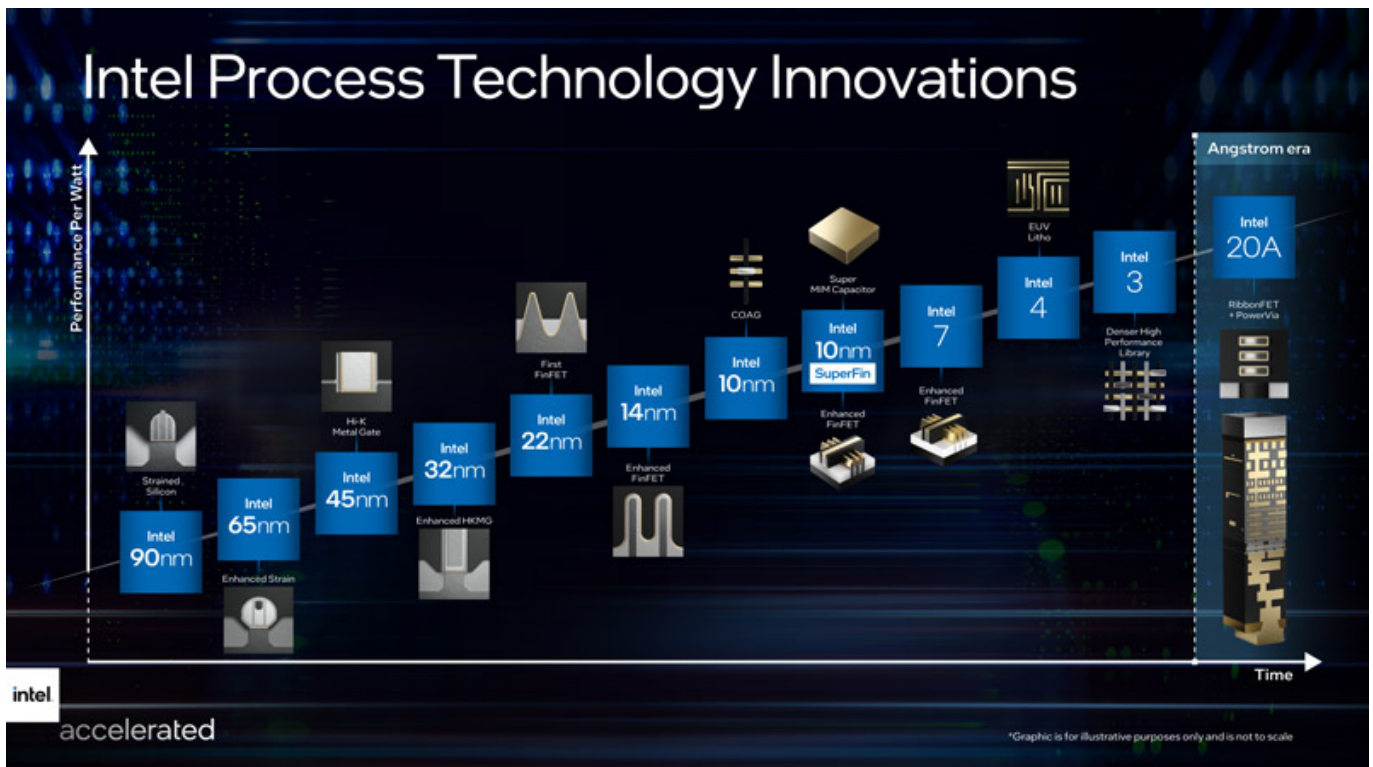
Scritto da Guido Azzollini

sano marketing?

## Nuovi nomi per i processi litografici

Eseguendo quello che potrebbe sembrare un triplo carpiato degno del suo ruolo di partner olimpico, Intel ha deciso di **rinominare tutti i suoi nodi di produzione**. Nel nostro [articolo sull'architettura Willow Cove](#) degli ultimi processori Tiger Lake, avevamo accennato al fatto che Intel considerasse i miglioramenti produttivi racchiusi sotto il nome di SuperFin come equivalenti ad uno step di processo.

Adesso questo assunto viene formalizzato proponendo un **namining degli stadi litografici di Intel che non corrisponde al nodo di produzione**, a differenza di quanto fanno gli altri chipmaker che mantengono una nomenclatura più ortodossa.



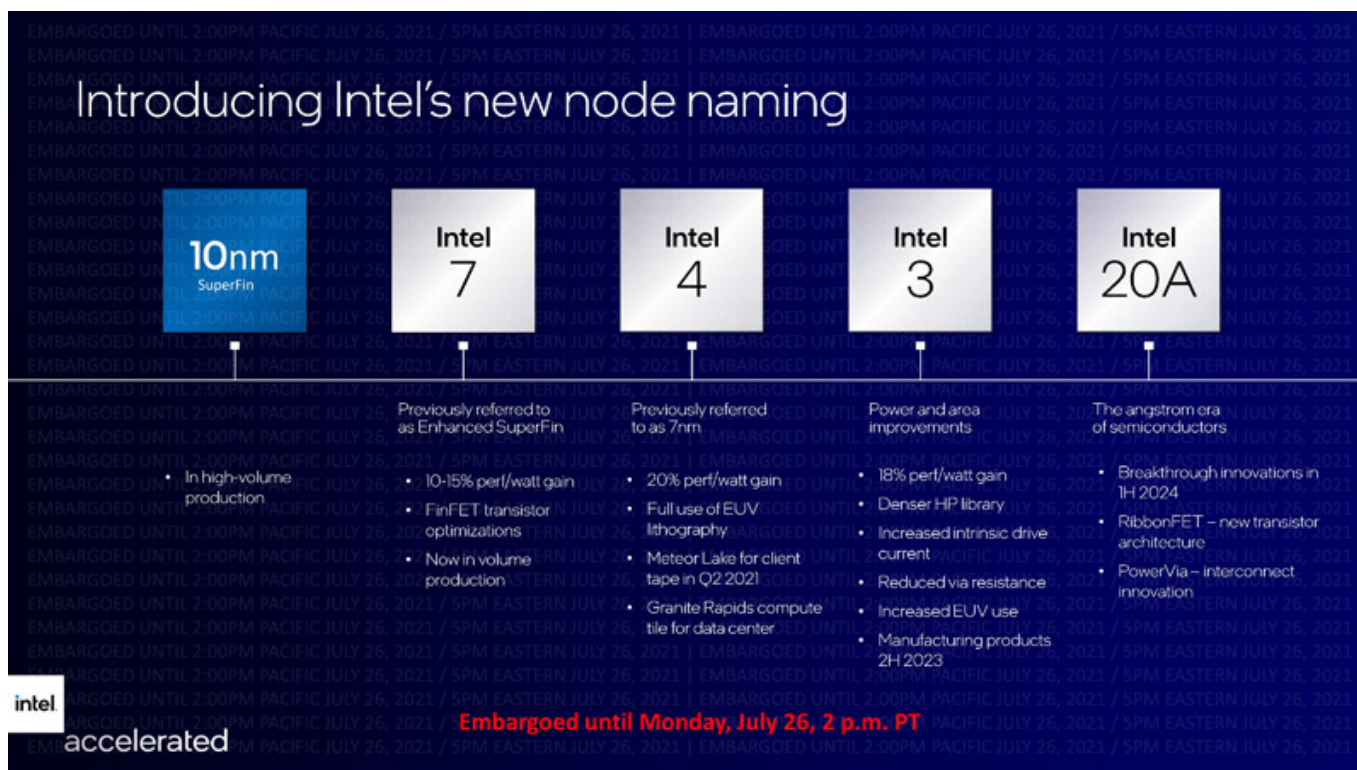
Per intenderci, il nuovo processo produttivo **Intel 7** non utilizzerà una litografia a 7nm come sarebbe lecito aspettarsi, ma una litografia a 10nm, tuttavia con l'aggiunta della tecnologia Enhanced SuperFin, Intel conta di poter equagliare nella sostanza il nodo dei 7nm dei concorrenti. Intel 7 è il processo produttivo dei processori [Intel Alder Lake](#) attualmente in produzione ed attesi per il Back-To-School. I miglioramenti della tecnologia SuperFin dovrebbero garantire un incremento delle performance per watt del 10-15% rispetto all'attuale tecnologia 10nm SuperFin in uso su Tiger Lake.

# Roadmap Intel: processi produttivi, transistor e packaging fino al 2025

Categoria: Articoli - Ultima modifica: Giovedì, 29 Luglio 2021 09:34

Pubblicato: Giovedì, 29 Luglio 2021 09:32

Scritto da Guido Azzollini



Rispettando la roadmap, nel 2022 dovrebbe arrivare il processo produttivo **Intel 4** che nella sostanza è la litografia a 7nm dei chip (tile) Meteor Lake. Con un impiego più intenso della litografia ultravioletta estrema (EUV), si stima un boost delle performance per watt del 20%. Si continua così fino al 2024 quando Intel finalmente dovrebbe raggiungere i 5nm sotto il nome di **Intel 20A**. Il suffisso A sta per Ångström che corrisponde a 0,1nm e sostanzialmente equipara il nodo di produzione a quello dei 2nm. Con Intel 20A si passa dai transistor FinFET ai transistor Gate-all-around (GAA) FET che Intel chiama RibbonFET.

E infine, nel 2025, dovrebbe arrivare il nodo **Intel 18A** sempre a 5nm ma con ulteriori ottimizzazioni di processo che, insieme ai transistor RibbonFET di seconda generazione e all'introduzione di macchinari all'avanguardia per la fotolitografia ASML High NA, dovrebbero finalmente riportare Intel nel gruppo delle migliori aziende del settore.

Intel roadmap: processor node	Nodi nm	Disponibili	Performance per Watt	Transistor	Packaging
<b>Intel 10nm SF</b>	10nm	Già disponibile	-	-	SuperFin

# Roadmap Intel: processi produttivi, transistor e packaging fino al 2025

Categoria: Articoli - Ultima modifica: Giovedì, 29 Luglio 2021 09:34

Pubblicato: Giovedì, 29 Luglio 2021 09:32

Scritto da Guido Azzollini

Nodi	nm	Disponibilità	Performance per Watt	Transistor	Packaging	
		<b>Intel 7</b>	10nm	H2 2021	+10-15%	Enhanced SuperFin
		<b>Intel 4</b>	7nm	H1 2023	+20%	EUV
		<b>Intel 3</b>	7nm	H2 2023	+18%	+EUV
		<b>Intel 20A</b>	5nm	2024	?	RibbonFE Powervia
		<b>Intel 18A</b>	5nm	2025	?	RibbonFE 2gen, Hig EUV

Se vi state chiedendo se il nuovo naming dei nodi di produzione di Intel sia fuorviante perché induce confusione circa il reale livello di miniaturizzazione di ciascun nodo, i colleghi di [Anandtech](#) si sono presi la briga di andare a confrontare la densità di transistor di TSMC, Intel, Samsung ed IBM arrivando alla conclusione che fino ad Intel 4 la rappresentazione delle grandezze dovrebbe essere abbastanza corretta mentre da Intel 3 a seguire la situazione diventerebbe più fumosa.

## RibbonFET

In un **transistor GAAFET** (Gate-all-around FET) il gate circonda il canale su tutti i lati a differenza dei transistor FinFET attualmente dominanti che hanno una tipica struttura "a pinna" in cui il gate circonda il canale su tre lati. La nuova tipologia di transistor risponde a problemi pratici dovuti alla sempre crescente miniaturizzazione dei processi produttivi, permettendo di scendere sotto i 3nm ed oltre. Per questa ragione ogni chipmaker di punta sta lavorando su una

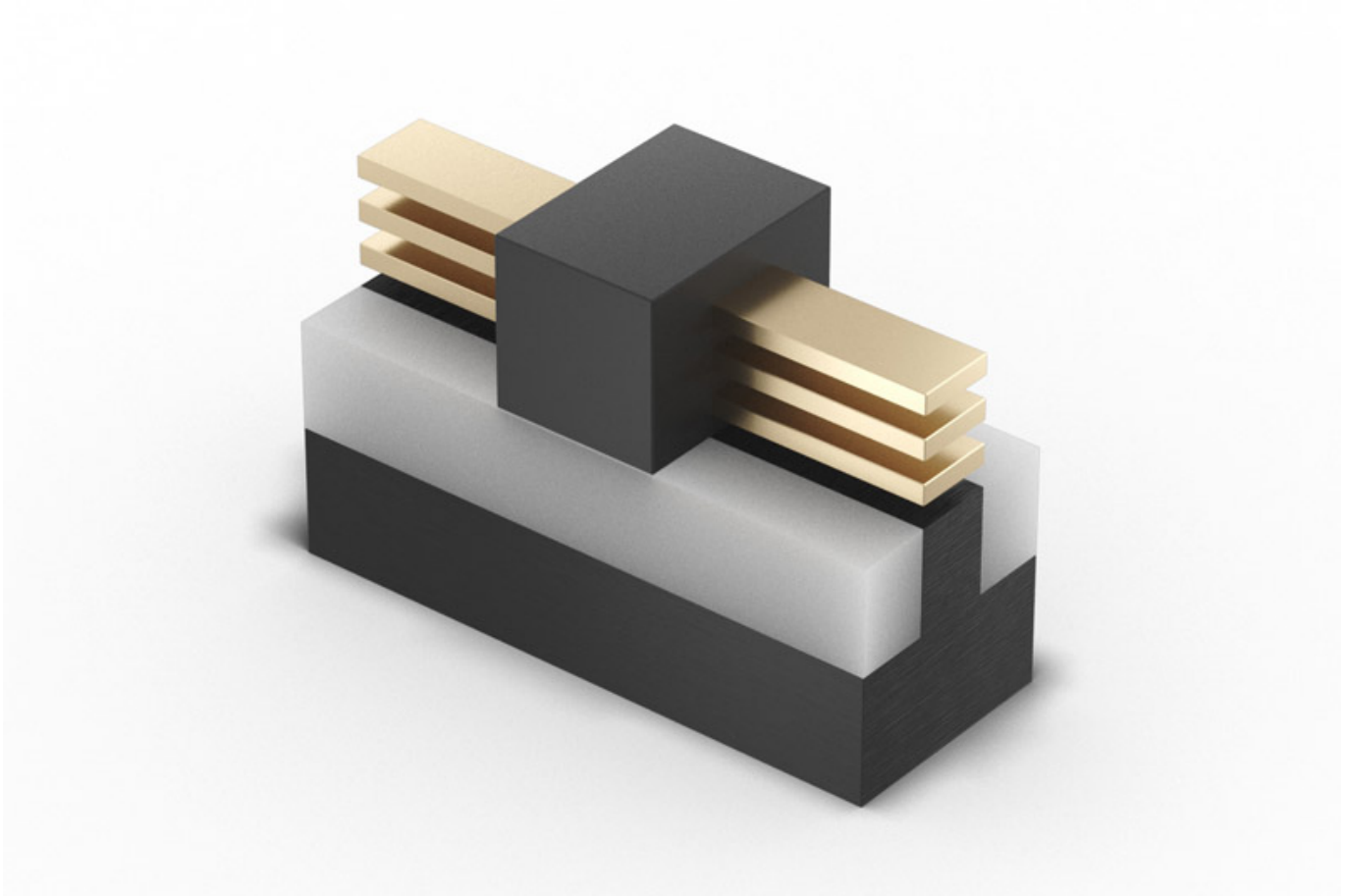
# Roadmap Intel: processi produttivi, transistor e packaging fino al 2025

Categoria: Articoli - Ultima modifica: Giovedì, 29 Luglio 2021 09:34

Pubblicato: Giovedì, 29 Luglio 2021 09:32

Scritto da Guido Azzollini

sua interpretazione di questi transistor che si differenzia principalmente per la **forma della regione del canale**. Samsung utilizza strutture 2D che chiama nanofogli (nanosheet) ed ha attribuito a questi transistor il nome commerciale di **Multi-Bridge Channel (MBCFET)**. Altri chipmaker preferiscono una struttura a nanofili (nanowires) ed infine Intel opta per una via di mezzo, i nanonastri (nanoribbon) da cui deriva il nome di **RibbonFET**.



Intel inizierà a produrre chip basati su GAAFET al posto della sua interpretazione di FinFET a partire dal nodo 20A e quindi dal 2024. Samsung e TSMC potrebbero anticiparla di un anno o poco più ma tutto sommato parliamo di un ritardo trascurabile.

## PowerVia

Insieme a RibbonFET, Intel introdurrà un'altra innovazione di processo che ha chiamato "PowerVia". Solitamente i wafer dei chip vengono realizzati partendo dai transistor e poi aggiungendo per stratificazione altri livelli che contengono tutti i necessari collegamenti per

# Roadmap Intel: processi produttivi, transistor e packaging fino al 2025

Categoria: Articoli - Ultima modifica: Giovedì, 29 Luglio 2021 09:34

Pubblicato: Giovedì, 29 Luglio 2021 09:32

Scritto da Guido Azzollini

l'alimentazione, per i buffer, la cache ed altro. Con PowerVia invece **lo strato dei transistor si troverà al centro** e su un lato verranno disposti i collegamenti per l'alimentazione e sull'altro i collegamenti per tutte le altre componenti.



Soluzioni di "backside power delivery" come questa permettono di ridurre le interferenze ma potrebbero creare qualche difficoltà di dissipazione termica.

## EMIB e Foveros

L'ultimo tassello del puzzle riguarda le tecnologie di packaging perché man mano che i processi litografici diventano più miniaturizzati e complessi aumenta anche la difficoltà di realizzare processori monoblocco. Per ragioni di convenienza, si tende a dividere la CPU in blocchi che poi vengono affiancati (2D) o impilati (3D).

Per collegare i blocchi **in orizzontale (2D)** Intel utilizza sia il substrato sia un elemento ad hoc che viene chiamato interposer. La combinazione di queste due tecnologie viene definita **EMIB Embedded Multi-Die Interconnect Bridge** e verrà migliorata riducendo la distanza che separa i vari piedini che servono per il collegamento passando da 55 micron a 36 micron. Si può utilizzare lo spazio risparmiato per inserire più piedini di collegamento aumentando la bandwidth; un vantaggio che torna utile soprattutto nei processori con un sottosistema grafico di

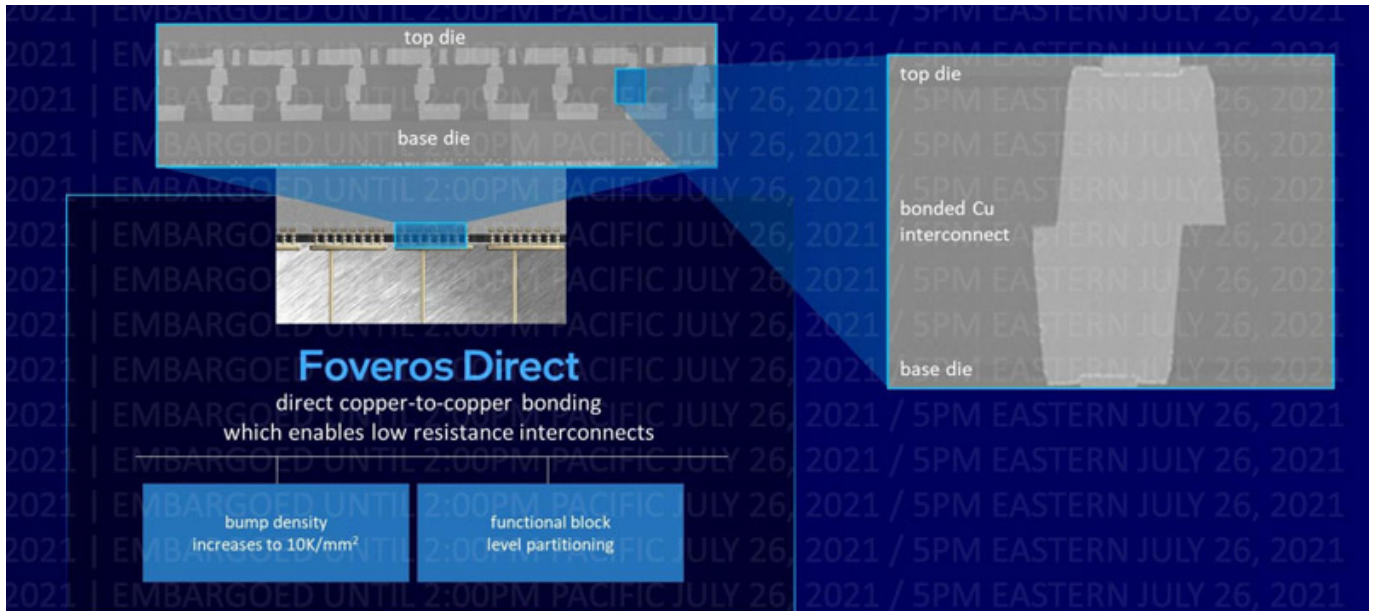
# Roadmap Intel: processi produttivi, transistor e packaging fino al 2025

Categoria: Articoli - Ultima modifica: Giovedì, 29 Luglio 2021 09:34

Pubblicato: Giovedì, 29 Luglio 2021 09:32

Scritto da Guido Azzollini

alto profilo.



Analogamente Intel andrà a ridurre la distanza fra i piedini della sua tecnologia di **packaging 3D Foveros** che, a partire da Meteor Lake si ridurrà da 50 micron a 36 micron (Foveros di seconda generazione). Il bump pitch scenderà poi a 25 micron con la terza generazione di Foveros che prenderà il nome di **Foveros Omni** perché permetterà di superare alcuni limiti di design con un nuovo sistema di alimentazione del die superiore tramite colonne di rame che attraversano il die inferiore. Nella quarta generazione di foveros, infine, chiamata **Foveros Direct**, Intel cercherà di raggiungere un bump pitch di 10micron realizzando un perfetto allineamento dei piedini in rame che permetterà a 2 o più die di diventare in pratica come un unico chip.